

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

10764977

Basic Patent (No,Kind,Date): JP 4260336 A2 920916 <No. of Patents: 001>

MANUFACTURE OF THIN FILM TRANSISTOR AND MANUFACTURE OF
LIQUID CRYSTAL DISPLAY (English)

Patent Assignee: MATSUSHITA ELECTRONICS CORP

Author (Inventor): EMOTO FUMIAKI; SENDA KOJI; YAMAMOTO ATSUYA;
NAKAMURA AKIRA

IPC: *H01L-021/336; H01L-029/784; G02F-001/136; H01L-027/12

Derwent WPI Acc No: C 92-360371

JAPIO Reference No: 170044E000144

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 4260336	A2	920916	JP 9121932	A	910215 (BASIC)

Priority Data (No,Kind,Date):

JP 9121932 A 910215

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03895236 **Image available**

MANUFACTURE OF THIN FILM TRANSISTOR AND MANUFACTURE OF LIQUID CRYSTAL DISPLAY

PUB. NO.: 04-260336 [JP 4260336 A]

PUBLISHED: September 16, 1992 (19920916)

INVENTOR(s): EMOTO FUMIAKI

SENDA KOJI

YAMAMOTO ATSUYA

NAKAMURA AKIRA

APPLICANT(s): MATSUSHITA ELECTRON CORP [000584] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-021932 [JP 9121932]

FILED: February 15, 1991 (19910215)

INTL CLASS: [5] H01L-021/336; H01L-029/784; G02F-001/136; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive Resins); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1312, Vol. 17, No. 44, Pg. 144, January 27, 1993 (19930127)

ABSTRACT

PURPOSE: To form a low concentration impurity region of a thin film transistor in a self-alignment manner.

CONSTITUTION: A semiconductor layer 12 is formed on an insulative substrate 11. A gate electrode 14 is formed on the semiconductor layer 12 via an insulative film 13. Photo resist 15 as a protective film is formed on the gate electrode 14. A specified part of the semiconductor layer 12 is doped with impurities 18 for forming the source region 16 and the drain region 17 of a thin film transistor. After that, while the photo resist 15 where the gate electrode 14 is patterned and formed is left as it is, the gate electrode 14 is side-etched, and a low concentration impurity region 19 is formed between the source region 16 and the gate electrode 14 and between the drain region 17 and the gate electrode 14.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-260336

(43) 公開日 平成4年(1992)9月16日

(51) Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336 29/784				
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 27/12	A	8728-4M 9056-4M	H 0 1 L 29/ 78	3 1 1 P
審査請求 未請求 請求項の数 7 (全 6 頁)				

(21) 出願番号 特願平3-21932

(22) 出願日 平成3年(1991)2月15日

(71) 出願人 000005843

松下電子工業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 江本 文昭

大阪府門真市大字門真1006番地 松下電子工業株式会社内

(72) 発明者 千田 耕司

大阪府門真市大字門真1006番地 松下電子工業株式会社内

(72) 発明者 山本 敦也

大阪府門真市大字門真1006番地 松下電子工業株式会社内

(74) 代理人 弁理士 小鍛治 明 (外2名)

最終頁に続く

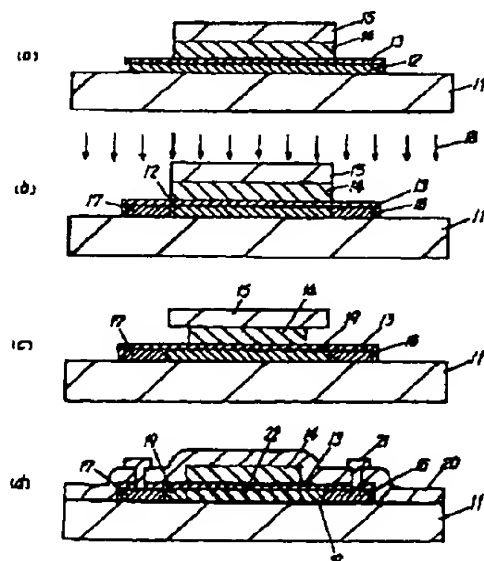
(54) 【発明の名称】 薄膜トランジスタの製造方法及び液晶表示装置の製造方法

(57) 【要約】

【目的】 薄膜トランジスタの低濃度不純物領域を自己整合的に形成する。

【構成】 絶縁基板11上に半導体層12を形成し、その半導体層12の上にゲート絶縁膜13を介してゲート電極14をそのゲート電極14上にフォトリソグラフ15を保護膜としてパターン形成する。続いて半導体層12の所定部に薄膜トランジスタのソース領域16、ドレイン領域17を形成するための不純物18をドーピングする。その後ゲート電極14をパターン形成したフォトリソグラフ15をつけたままゲート電極14をサイドエッチングし、ソース領域16とゲート電極14の間およびドレイン領域17とゲート電極14の間に低濃度不純物領域19を形成する。

- | | | |
|----------------------|-------------|-------------|
| 11 石英基板
(絶縁基板) | 14 ゲート電極 | 18 不純物 |
| 12 ポリシリコン膜
(半導体層) | 15 フォトリソグラフ | 19 低濃度不純物領域 |
| 13 ゲート絶縁膜 | 16 ソース領域 | |
| | 17 ドレイン領域 | |



(2)

特開平4-260336

1

【特許請求の範囲】

【請求項1】絶縁基板上に半導体層を形成する工程と、その半導体層の上にゲート絶縁膜を介してゲート電極をそのゲート電極上にフォトリソを保護膜としてパターン形成し、続いて前記半導体層の所定部に薄膜トランジスタのソース領域、ドレイン領域を形成するための不純物をドーピングする工程と、前記ゲート電極をパターン形成したフォトリソパターンをつけたまま前記ゲート電極をサイドエッチングし、前記ソース領域とゲート電極の間および前記ドレイン領域とゲート電極の間に低濃度不純物領域を形成する工程とを少なくとも有することを特徴とする薄膜トランジスタの製造方法。

【請求項2】ゲート電極のサイドエッチングの後、そのゲート電極上のフォトリソ膜を除去し、低ドーピングの不純物をドーピングし、低濃度不純物領域の不純物濃度を制御する工程を加えたことを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】薄膜トランジスタのソース領域、ドレイン領域を形成するための不純物をドーピングする工程と、ゲート電極をサイドエッチングする工程の順序を入れ換えたことを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項4】薄膜トランジスタのソース領域、ドレイン領域を形成するための不純物をドーピングする工程の後、ゲート電極上のフォトリソ膜を除去し、低ドーピングの不純物をドーピングし、低濃度不純物領域の不純物濃度を制御する工程を加えたことを特徴とする請求項3記載の薄膜トランジスタの製造方法。

【請求項5】薄膜トランジスタのソース領域とゲート電極の間およびドレイン領域とゲート電極の間の低濃度不純物領域を請求項1、2、3または4記載の薄膜トランジスタの製造方法で作製した後、液晶を駆動する画素部の薄膜トランジスタをフォトリソ膜で保護し、前記画素部の薄膜トランジスタを駆動する周辺回路部の薄膜トランジスタのソース、ドレイン領域とゲート電極の間の低濃度不純物領域を高濃度不純物領域にするための不純物をドーピングする工程を少なくとも有することを特徴とする液晶表示装置の製造方法。

【請求項6】薄膜トランジスタのソース領域とゲート電極の間およびドレイン領域とゲート電極の間の低濃度不純物領域を請求項1、2、3または4記載の薄膜トランジスタの製造方法で作製した後、液晶を駆動する画素部の一導電型の薄膜トランジスタと周辺回路部の薄膜トランジスタのうちの一方の反対導電型の薄膜トランジスタをフォトリソ膜で保護し、周辺回路部の薄膜トランジスタのうちの他方の一導電型の薄膜トランジスタのソース、ドレイン領域とゲート電極の間の低濃度不純物領域を高濃度不純物領域にするための不純物をドーピングする工程と、その低濃度不純物領域のない薄膜トランジスタと前記画素部の薄膜トランジスタ上をフォトリソ

2

膜で保護し、前記反対導電型の薄膜トランジスタに画素部の薄膜トランジスタのソース、ドレイン領域の不純物濃度以上の反対導電型の不純物をドーピングする工程とを少なくとも有することを特徴とする液晶表示装置の製造方法。

【請求項7】液晶を駆動する画素部の一導電型の薄膜トランジスタのソース領域とゲート電極の間およびドレイン領域とゲート電極の間の低濃度不純物領域を請求項1、2、3または4記載の薄膜トランジスタの製造方法で作製し、前記画素部の薄膜トランジスタを駆動する周辺回路部の薄膜トランジスタを形成するための半導体層、ゲート絶縁膜およびゲート電極材料を形成した後、前記画素部の薄膜トランジスタ上をフォトリソ膜で被覆し、周辺回路部のゲート電極をパターン形成する工程と、前記画素部の薄膜トランジスタと周辺回路部の薄膜トランジスタのうち反対導電型の薄膜トランジスタ上をフォトリソ膜で保護し、一導電型の不純物をドーピングして、周辺回路部の一導電型の薄膜トランジスタのソース、ドレイン領域を形成する工程と、前記画素部の一導電型の薄膜トランジスタと周辺回路部の一導電型薄膜トランジスタ上をフォトリソ膜で保護し、周辺回路部の反対導電型の薄膜トランジスタのソース、ドレイン領域を形成するための反対導電型の不純物をドーピングする工程とを少なくとも有することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高耐圧の薄膜トランジスタの製造方法およびフラットディスプレイあるいは液晶プロジェクションテレビ受像機のライトバルブに用いられるアクティブマトリクス液晶表示装置の製造方法に関する。

【0002】

【従来の技術】従来の高耐圧の薄膜トランジスタの製造方法について、図8を用いながら説明する。図8(a)において、1はガラス基板、2はポリシリコン膜、3はゲート酸化膜であり、ゲート電極4をフォトリソ5でパターン形成した後、図8(b)に示すようにフォトリソ5を除去する。次に図8(c)に示すように新たなフォトリソ6をマスクとしてソース領域、ドレイン領域となる領域に不純物をイオン注入7をする。その際、フォトリソ6で覆われた領域として低濃度不純物領域8が図8(d)のように得られる。9、10は不純物がドーピングされた高濃度のソース領域、ドレイン領域である。

【0003】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、ソース領域とドレイン領域の形成のためにマスク工程を必要とする。また、自己整合で低濃度不純物領域8を形成できないために低濃度不純物領域8の

3

長さがソース側とドレイン側で同一にできない。

【0004】本発明は、上記従来の課題を解決するもので、マスク工程の追加なく、さらに低濃度不純物領域を自己整合的に形成できる薄膜トランジスタを提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は上記目的を達成するために、絶縁基板上に半導体層を形成する工程と、その半導体層の上にゲート絶縁膜を介してゲート電極をそのゲート電極上にフォトリソistを保護膜としてパターン形成し、続いて半導体層の所定部に薄膜トランジスタのソース領域、ドレイン領域を形成するための不純物をドーピングする工程と、ゲート電極をパターン形成したフォトリソistパターンをつけたままゲート電極をサイドエッチングし、ソース領域とゲート電極の間およびドレイン領域とゲート電極の間に低濃度不純物領域を形成する工程とを少なくとも有する構成よりなる。

【0006】

【作用】この構成によって、ゲート電極形成のマスク工程だけでゲート電極とソース領域、ゲート電極とドレイン領域の間に低濃度不純物領域を自己整合で形成できる。

【0007】

【実施例】以下、本発明の実施例について図面を用いて説明する。

【0008】図1は、本発明の第1の実施例のポリシリコン薄膜トランジスタの製造方法の工程断面図である。

【0009】図1(a)は従来例の図8(a)と基本的に同じである。すなわち11は石英基板、12は第1層目のポリシリコン膜、13はゲート絶縁膜、14はゲート電極、15はフォトリソistを示している。今ポリシリコンのゲート電極14をフォトリソist15をマスクとしてエッチングによりパターンニングする。その後が本発明の特徴とするもので、図1(b)に示すように、フォトリソist15をつけたまま、高濃度のソース領域16、ドレイン領域17に燐イオン18を注入する。次に低濃度不純物領域19を形成するために、図1(c)に示すように、さらにゲート電極14をオーバーエッチングし、ゲート電極14の長さを0.5 μ m以上短くする。最後に図1(d)に示すように層間絶縁膜20、アルミニウム配線21を形成する。22はチャンネル領域である。

【0010】本実施例において、低濃度不純物領域19をノンドープとしたが、図1(c)と(d)の工程の間に図2に示すように、フォトリソist15を除去して低ドーズ量の不純物イオン23を注入する工程を設けることで低濃度不純物領域19の不純物濃度を制御できる。

【0011】図3は、本発明の第2の実施例のポリシリコン薄膜トランジスタの製造方法の工程断面図である。

【0012】すなわち本実施例の特徴は、ゲート電極1

(3)

特開平4-260336

4

4のオーバーエッチングをイオン注入より先に行うことである。すなわち図3(a)に示すようにフォトリソist15をマスクとしたゲート電極14のエッチングを0.3 μ m以上オーバーエッチングして、その後、図4(b)に示すように燐イオン18を注入して第1層目のポリシリコン膜12のソース領域16、ドレイン領域17の不純物をドーピングする。最後に層間絶縁膜20、アルミニウム配線21を形成して薄膜トランジスタを製作する。図3(b)に示したようにゲート電極14をオーバーエッチングすることでゲート電極14とソース領域16、ゲート電極14とドレイン領域17の間にイオン注入されない低濃度不純物領域19が形成される。

【0013】本実施例において低濃度不純物領域19をノンドープとしたが、図3(b)と(c)の工程の間に図4に示すように、フォトリソist15を除去して低ドーズ量の不純物イオン23を注入する工程を設けることで低濃度不純物領域19の不純物濃度を制御できる。

【0014】上記第1の実施例および第2の実施例において、ソース領域16、ドレイン領域17の不純物を燐としたが、これに限らず、n形あるいはp形となる不純物ならよく、例えばヒ素、アンチモンやボロンでもよい。

【0015】図5は、本発明の第3の実施例の表示部と周辺駆動回路部のトランジスタが同一導電型である液晶表示装置の製造方法の工程断面図である。液晶表示装置は、図5の左に示す液晶を駆動する画素部のトランジスタと右に示す画素部のトランジスタを駆動する周辺回路のトランジスタ等から構成される。図5では、画素部と周辺回路部を構成するトランジスタを同一導電型としている。図5(a)に示す薄膜トランジスタの各部は図1(d)に示す薄膜トランジスタの各部と基本的に同一部分には同一番号を付し、説明を省略する。図5(a)に示すように層間絶縁膜形成工程前まで作製し、図5(b)に示すように本発明の特徴は、画素部のみをフォトリソist24により覆い、画素部のトランジスタのソース領域16、ドレイン領域17と同一導電型の不純物(燐)25をイオン注入する。この工程により周辺回路のトランジスタは、図5(c)に示すようにドレイン領域17およびソース領域16とゲート電極14の間の低濃度不純物領域19が無い構造になる。すなわちソース領域16A、ドレイン領域17Aが得られる。その後、図5(d)に示すように層間絶縁膜20、アルミニウム配線21、透明電極26を形成する。

【0016】図6は、本発明の第4の実施例の画素部のトランジスタが一導電型で、周辺駆動回路部のトランジスタが相補型である液晶表示装置の製造方法の工程断面図である。液晶表示装置は、図6の左に示す液晶を駆動する画素部の薄膜トランジスタと右に示す画素部の薄膜トランジスタを駆動する周辺回路の薄膜トランジスタ等から構成される。図6では、画素部は、一導電型トラン

5

ジスタで、周辺回路部は、相補型トランジスタにより構成されている。図6(a)に示す薄膜トランジスタの各部は、図1(d)に示す薄膜トランジスタの各部と基本的に同一部分には同一番号を付し、説明を省略する。図6(a)に示すように層間絶縁膜形成工程前まで作製し、図6(b)に示すように本発明の特徴は画素部と反対導電型トランジスタをフォトレジスト26により覆い、画素部のトランジスタのソース領域16、ドレイン領域17と同一導電型の不純物(燐)27をイオン注入する。この工程により周辺回路のトランジスタは、図6(c)に示すように周辺回路のドレイン領域17およびソース領域16とゲート電極14の間の低濃度不純物領域19がない構造になる。すなわちソース領域16B、ドレイン領域17Bが得られる。その後画素部と一導電型トランジスタをフォトレジスト28により覆い、画素部のトランジスタのソース領域16、ドレイン領域17と反対導電型の不純物(ボロン)29をイオン注入する。この工程において、反対導電型の不純物29の注入量は、第1の実施例の方法により形成した高濃度不純物領域であるソース領域16、ドレイン領域17に注入した一導電型の不純物量より多い濃度、例えば $5 \times 10^{14} / \text{cm}^2$ である。このようにして図6(d)に示すように反対導電型の高濃度不純物領域30が形成され、反対導電型のトランジスタが作製できる。その後、層間絶縁膜31、アルミニウム配線32、透明電極33を形成すると、図6(e)に示す液晶表示装置に用いられる薄膜トランジスタ回路基板が形成できる。

【0017】図7は、本発明の第5の実施例の画素部のトランジスタが一導電型で、周辺駆動回路部のトランジスタが相補型である液晶表示装置の製造方法の工程断面図である。液晶表示装置は、図7の左に示す液晶を駆動する画素部のトランジスタと右に示す画素部のトランジスタを駆動する周辺回路のトランジスタ等から構成される。図7は、画素部は一導電型トランジスタで、周辺回路部は相補型トランジスタにより構成されている。図7(a)の左側の画素部のトランジスタは図1(d)のトランジスタの各部と基本的に同一で同一番号を付し、説明を省略する。すなわち画素部のトランジスタを層間絶縁膜形成前まで作製する。これまでの工程では、周辺回路はゲート電極材料34により覆われていて、トランジスタは形成されていない。ここで35はチャンネルとなる半導体領域、36はゲート酸化膜である。この後、図7(b)に示すように画素部はフォトレジスト37により覆い、周辺回路部のゲート電極34をパターン形成する。次に図7(c)に示すように一導電型のトランジスタを形成するために画素部と周辺回路の反対導電型のトランジスタの領域をフォトレジスト38で覆い、一導電型の不純物(燐)39をイオン注入によりドーピングす

(4)

特開平4-260336

6

る。次に図7(d)に示すように反対導電型のトランジスタを形成するために画素部と周辺回路の一導電型のトランジスタの領域をフォトレジスト40で覆い、反対導電型の不純物(ボロン)41をイオン注入によりドーピングし、反対導電型トランジスタのソース、ドレイン領域42を図7(e)のように得る。このようにして図7(e)に示すような画素部は低濃度不純物領域19を含むトランジスタ、周辺回路部は低濃度不純物領域19を含まないトランジスタが形成できる。最後に層間絶縁膜43、アルミニウム配線44と透明電極45を形成すると図7(f)に示す液晶表示装置に用いられる薄膜トランジスタ回路基板が形成できる。

【0018】

【発明の効果】以上のように本発明は、ゲート電極を形成する工程において、ゲート電極材料をサイドエッチングし、またゲート電極のパターンニングに用いたフォトレジストを除去しないまま、ソース、ドレイン注入を行うことにより、ゲート電極とソース領域、ゲート電極とドレイン領域の間に自己整合的に低濃度不純物領域が形成できる薄膜トランジスタとその薄膜トランジスタの製造方法を整合性良く導入できる液晶表示装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の薄膜トランジスタの製造方法の工程断面図

【図2】同実施例の変形例の工程断面図

【図3】本発明の第2の実施例の薄膜トランジスタの製造方法の工程断面図

【図4】同実施例の変形例の工程断面図

【図5】本発明の第3の実施例の液晶表示装置の製造方法の工程断面図

【図6】本発明の第4の実施例の液晶表示装置の製造方法の工程断面図

【図7】本発明の第5の実施例の液晶表示装置の製造方法の工程断面図

【図8】従来の薄膜トランジスタの製造方法の工程断面図

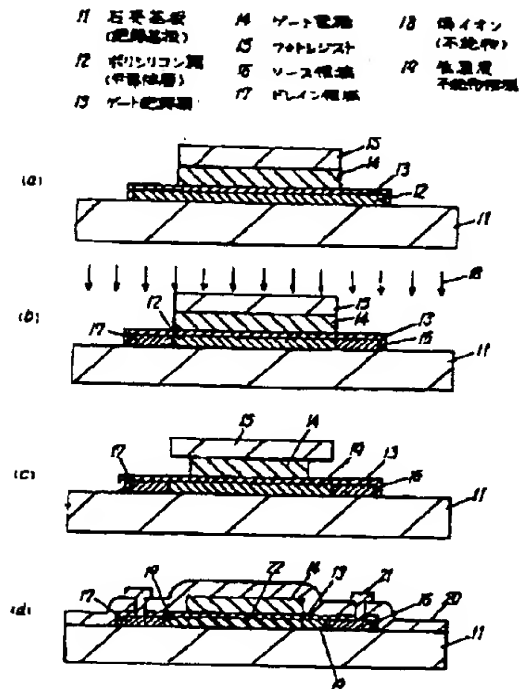
【符号の説明】

- 11 石英基板(絶縁基板)
- 12 ポリシリコン膜(半導体層)
- 13 ゲート絶縁膜
- 14 ゲート電極
- 15 フォトレジスト
- 16 ソース領域
- 17 ドレイン領域
- 18 燐イオン(不純物)
- 19 低濃度不純物領域

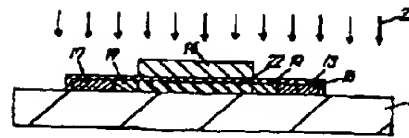
(5)

特開平4-260336

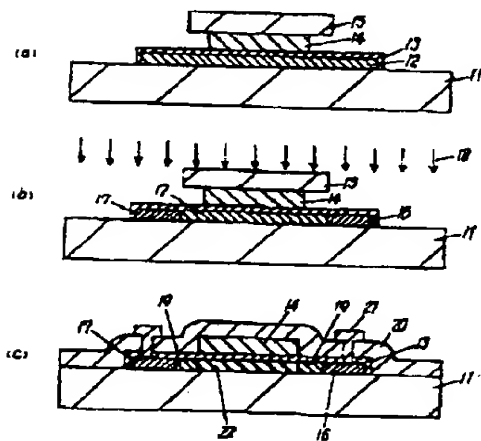
【図1】



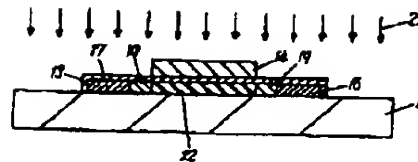
【図2】



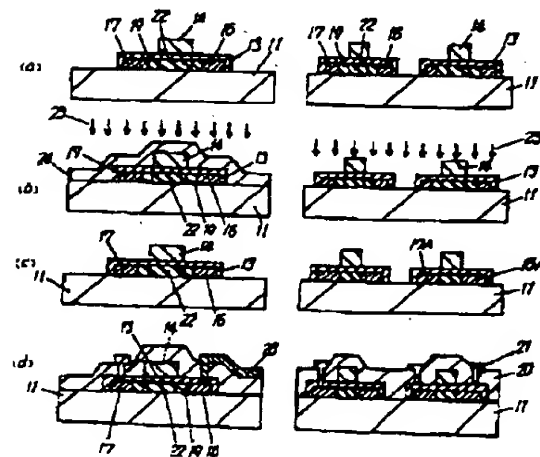
【図3】



【図4】



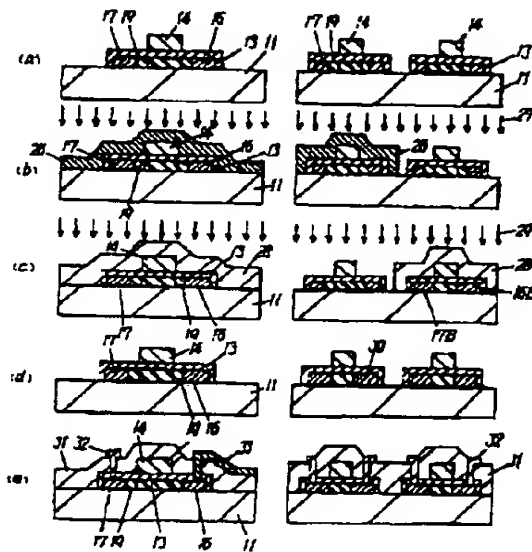
【図5】



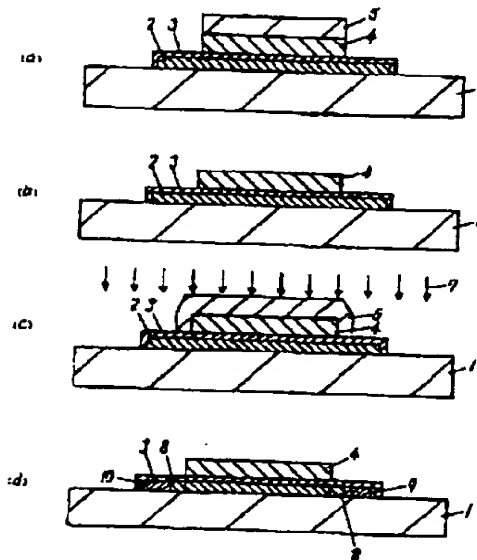
(6)

特開平4-260336

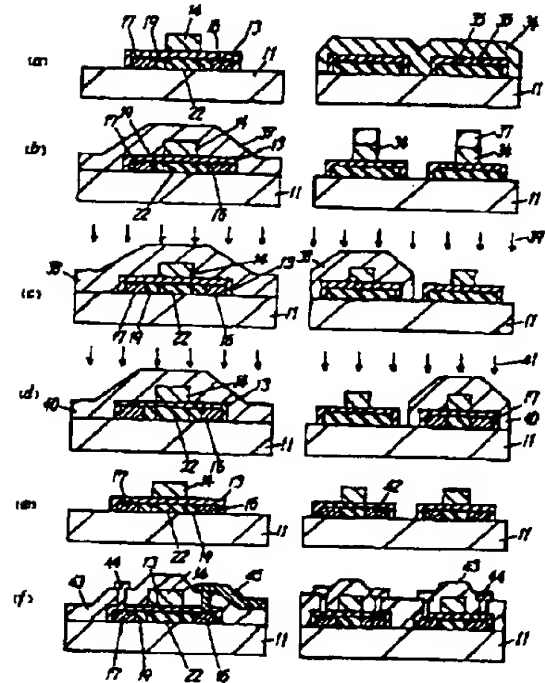
【図6】



【図8】



【図7】



フロントページの続き

(72)発明者 中村 晃

大阪府門真市大字門真1006番地 松下電子
工業株式会社内